

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-314099

(43)Date of publication of application : 25.10.2002

(51)Int.Cl.

H01L 29/872

H01L 21/265

(21)Application number : 2001-110591

(71)Applicant : DENSO CORP

(22)Date of filing : 09.04.2001

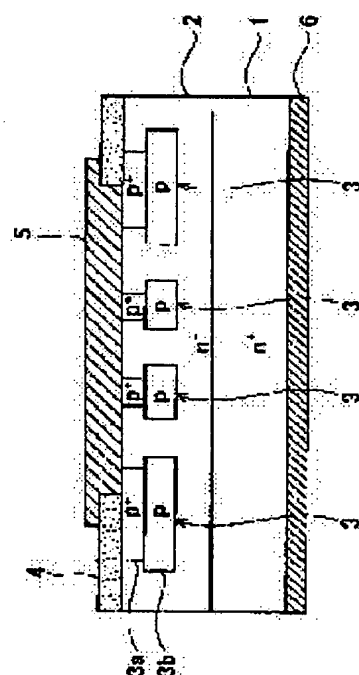
(72)Inventor : ENDO TAKESHI
MATSUKI HIDEO

(54) SCHOTTKY DIODE AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To lower ON resistance without lowering a field relaxing effect in the reverse direction and to reduce the loss by reducing an ON voltage in the forward direction.

SOLUTION: A plurality of p-type diffusion layers 3 are formed on the surface layer of an n-type epitaxial layer 2. The p-type diffusion layers 3 is arranged such that a lower region 3b is wider than an upper region 3a and the distance between adjacent p-type diffusion layers 3 is shortened in the lower region 3b. In such a Schottky diode, each p-type diffusion layer 3 is pinched off by a depletion layer extending from the lower region 3b of each p-type diffusion layer 3 and a field is relaxed in the reverse direction. Since the upper region 3a of the p-type diffusion layers 3 is made narrow, a contact part of the n-type epitaxial layer 2 with a Schottky electrode 5 is widened and contact resistance between the n-type epitaxial layer 2 and the Schottky electrode 5 can be reduced while increasing a current passage resulting in low ON resistance.



LEGAL STATUS

[Date of request for examination]

02.07.2007

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-314099

(P2002-314099A)

(43) 公開日 平成14年10月25日 (2002. 10. 25)

(51) Int.Cl.⁷

H 0 1 L 29/872
21/265

識別記号

F I

H 0 1 L 29/48

21/265

テーマコード* (参考)

F 4 M 1 0 4

D

Z

審査請求 未請求 請求項の数16 O L (全 9 頁)

(21) 出願番号 特願2001-110591(P2001-110591)

(22) 出願日 平成13年4月9日 (2001. 4. 9)

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 遠藤 剛

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 松木 英夫

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(74) 代理人 100100022

弁理士 伊藤 洋二 (外2名)

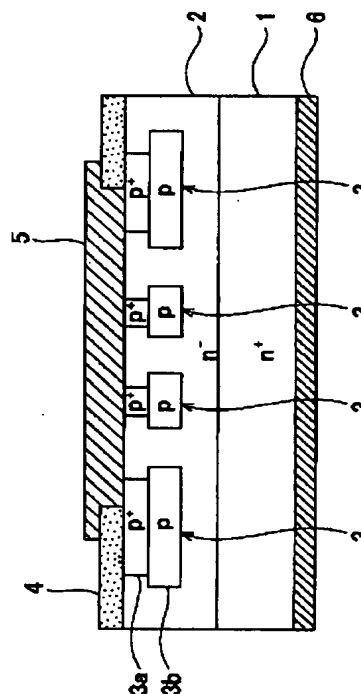
最終頁に続く

(54) 【発明の名称】 ショットキーダイオード及びその製造方法

(57) 【要約】

【課題】 逆方向の電界緩和効果を低下させることなく、低オン抵抗化を図り、順方向のオン電圧を低減することで損失を低減する。

【解決手段】 n^- 型エピ層2の表層部に複数のp型拡散層3を形成する。p型拡散層3の上部領域3aよりも下部領域3bの方が幅が広くなるようにし、下部領域3bにおいて隣り合うp型拡散層3同士の距離が短くなるように構成する。このようなショットキーダイオードにおいては、各p型拡散層3の下部領域3bから伸びる空乏層によって各p型拡散層3の間がピンチオフされることで、逆方向における電界緩和が成されるようになっている。また、p型拡散層3の上部領域3aの幅を狭くしてあるため、 n^- 型エピ層2のうちショットキー電極5との接触部位を広くとれ、 n^- 型エピ層2とショットキー電極5との接触抵抗を低減および電流経路の増大を図ることができる、低オン抵抗化を図ることができる。



【特許請求の範囲】

【請求項 1】 炭化珪素からなる第 1 導電型の半導体基板 (1) と、
前記半導体基板の表面上に形成され、前記半導体基板よりも低濃度の炭化珪素からなる第 1 導電型の半導体層 (2、2 a) と、
前記半導体層の表層部に複数個形成された第 2 導電型の拡散層 (3) と、
前記拡散層の表面及び前記半導体層の表面に形成され、前記拡散層及び前記半導体層とに電気的に接続されたショットキー電極 (5) と、
前記半導体基板の裏面側に形成されたオーミック電極 (6) とを備え、
前記複数個の拡散層は、前記半導体基板から遠い側に相当する上部領域 (3 a) と近い側に相当する下部領域 (3 b) とを有して構成され、前記下部領域において隣り合う前記複数個の拡散層同士の距離が短くなるように構成されていることを特徴とするショットキーダイオード。

【請求項 2】 前記上部領域の方が前記下部領域よりも高濃度となっていることを特徴とする請求項 1 に記載のショットキーダイオード。

【請求項 3】 前記半導体層は、前記下部領域が形成された第 1 半導体層と前記上部領域が形成された第 2 半導体層とから構成され、前記第 2 半導体層が前記第 1 半導体層よりも高濃度で構成されていることを特徴とする請求項 1 又は 2 に記載のショットキーダイオード。

【請求項 4】 前記上部領域には第 1 導電型不純物として A1 が用いられ、前記下部領域には第 1 導電型不純物として B 又は B 及び C が用いられていることを特徴とする請求項 1 乃至 3 のいずれか 1 つに記載のショットキーダイオード。

【請求項 5】 前記複数個の拡散層に電気的に接続されたオーミック用の電極を有し、前記ショットキー電極は、前記オーミック用の電極の上に形成されていることを特徴とする請求項 1 乃至 4 のいずれか 1 つに記載のショットキーダイオード。

【請求項 6】 炭化珪素からなる第 1 導電型の半導体基板 (1) を用意し、該半導体基板の表面上に、該半導体基板よりも低濃度の炭化珪素からなる第 1 導電型の半導体層 (2、2 a) を形成する工程と、
前記半導体層の表層部に、複数個の第 2 導電型の拡散層を形成する工程と、
前記拡散層の表面及び前記半導体層の表面に、前記拡散層及び前記半導体層とに電気的に接続されるショットキー電極 (5) を形成する工程と、
前記半導体基板の裏面側にオーミック電極 (6) を形成する工程とを有し、
前記複数個の拡散層を形成する工程では、前記半導体基板から遠い側に相当する上部領域 (3 a) を形成する工

程と、前記半導体基板から近い側に相当する下部領域 (3 b) を形成する工程とを行い、

前記下部領域を形成する工程では、前記上部領域よりも前記下部領域の幅を広くすることで、前記下部領域において隣り合う前記複数個の拡散層同士の距離が短くなるようにすることを特徴とするショットキーダイオードの製造方法。

【請求項 7】 前記上部領域を形成する工程および前記下部領域を形成する工程では、前記半導体層に第 2 導電型不純物をイオン注入することで前記上部領域および前記下部領域を形成することを特徴とする請求項 6 に記載のショットキーダイオードの製造方法。

【請求項 8】 前記半導体層を形成する工程では、前記下部領域が形成される第 1 半導体層を形成する工程と、前記上部領域が形成される第 2 半導体層を形成する工程とを行い、

前記第 1 半導体層を形成する工程を行った後に、前記下部領域を形成する工程を行うことで前記第 1 半導体層に前記下部領域を形成し、その後、前記第 2 半導体層を形成する工程を行った後に、前記上部領域を形成する工程を行うことで前記第 2 半導体層に前記上部領域を形成することを特徴とする請求項 6 又は 7 に記載のショットキーダイオードの製造方法。

【請求項 9】 前記上部領域を形成する工程および前記下部領域を形成する工程では、前記上部領域を形成する際に用いるイオン注入用マスク (11) と前記下部領域を形成する際に用いるイオン注入用マスク (10) を別々とすることを特徴とする請求項 7 に記載のショットキーダイオードの製造方法。

【請求項 10】 前記上部領域を形成する工程および前記下部領域を形成する工程では、前記上部領域を形成する際に用いるイオン注入用マスクと前記下部領域を形成する際に用いるイオン注入用マスクを同一マスクとすることを特徴とする請求項 7 に記載のショットキーダイオードの製造方法。

【請求項 11】 前記上部領域を形成する工程では、第 2 導電型不純物として A1 を用いて前記上部領域を形成することを特徴とする請求項 7 乃至 10 のいずれか 1 つに記載のショットキーダイオードの製造方法。

【請求項 12】 前記上部領域を形成する工程では、前記第 2 導電型不純物として A1 をイオン注入し、前記下部領域を形成する工程では、前記第 2 導電型不純物として B もしくは B 及び C をイオン注入し、B を熱拡散させることで、前記下部領域が前記上部領域よりも幅が広くなるようにすることを特徴とする請求項 7 乃至 11 のいずれか 1 つに記載のショットキーダイオードの製造方法。

【請求項 13】 前記上部領域を形成する工程及び前記下部領域を形成する工程では、前記第 2 導電型不純物として B もしくは B 及び C をイオン注入し、さらに、前記

上部領域を形成する工程では、前記第2導電型不純物としてA1もイオン注入することを特徴とする請求項9乃至11のいずれか1つに記載のショットキーダイオードの製造方法。

【請求項14】 前記ショットキー電極を形成する工程では、前記複数個の拡散層の表面に電極材料を配置したのち、700℃以上の熱処理を施すことで、前記電極材料と前記複数個の拡散層とをオーミック接触させたのち、該電極材料の上に前記ショットキー電極を形成することを特徴とする請求項6乃至13のいずれか1つに記載のショットキーダイオードの製造方法。

【請求項15】 前記ショットキー電極を形成する工程では、前記ショットキー電極を形成したのち熱処理を行うことを特徴とする請求項6乃至14のいずれか1つに記載のショットキーダイオードの製造方法。

【請求項16】 前記熱処理温度を700℃以下とすることを特徴とする請求項15に記載のショットキーダイオードの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、炭化珪素によるショットキー構造によるショットキーダイオード及びその製造方法に関するものである。

【0002】

【従来の技術および発明が解決しようとする課題】 インバータなどの電力変換機器には、スイッチング素子と共に整流用、転流用、あるいは還流路形成用などのために高耐圧ダイオードが使用される。このダイオードでは、低損失化のため、低オン電圧が望まれていると共に、逆回復電流の低減が望まれている。

【0003】 また、逆回復特性の改善が望まれる場合のダイオードとしては、ショットキーダイオードが知られている。このショットキーダイオードは、多数キャリアが整流特性を支配しているため、少数キャリアの蓄積効果がなくなり、逆回復電流が低減されてスイッチング損失が低減する。しかしながら、シリコンを半導体材料として用いた場合には、物性値の限界から、耐圧100Vを超えるショットキーダイオードを実現することができない。

【0004】 このため、半導体材料に炭化珪素を用いたショットキーダイオードが考えられている。このような炭化珪素を用いた場合、炭化珪素がワイドバンドギャップ半導体であることから、ショットキー電極のバリアハイトを高く設定することができ、高耐圧化に有利である。また、アバランシェ降伏による臨界電界が高いので、炭化珪素内の不純物濃度を高くでき、シリコンと比べて、同じ耐圧で導通時の損失を2桁低減できる。

【0005】 一方、ショットキーダイオードは、ショットキー電極に用いる金属材のバリアハイトによって逆方向の漏れ電流と順方向のオン電圧が決まる。バリアハ

トの高い金属を使用すると、逆方向の漏れ電流を低減できるが、順方向のオン電圧が増加し、順方向の損失が増加してしまう。また、半導体と金属界面の電界強度が増加すると、ショットキーバリアハイトが低下するというショットキー効果があり、ショットキーダイオードを高耐圧化した場合、漏れ電流が増加するという本質的な問題がある。

【0006】 従って、ショットキーダイオードの特性を向上させるためには、バリアハイトの小さいバリアメタルを使用し、逆方向漏れ電流が増加しないようにショットキー接合界面の電界強度を緩和させる必要がある。このように界面の電界を緩和する従来技術が特開昭52-24465号公報で提案されているが、この従来技術では順方向電圧の増加について配慮されておらず、損失が多くなってしまいう問題がある。

【0007】 本発明は上記点に鑑みて、逆方向の電界緩和効果を低下させることなく、低オン抵抗化を図り、順方向のオン電圧を低減することで損失の低減を図ることを目的とする。

【0008】

【課題を解決するための手段】 上記目的を達成するため、請求項1に記載の発明では、炭化珪素からなる第1導電型の半導体基板(1)と、半導体基板の表面上に形成され、半導体基板よりも低濃度の炭化珪素からなる第1導電型の半導体層(2、2a)と、半導体層の表層部に複数個形成された第2導電型の拡散層(3)と、拡散層の表面及び半導体層の表面に形成され、拡散層及び半導体層とに電気的に接続されたショットキー電極(5)と、半導体基板の裏面側に形成されたオーミック電極(6)とを備え、複数個の拡散層は、半導体基板から遠い側に相当する上部領域(3a)と近い側に相当する下部領域(3b)とを有して構成され、下部領域において隣り合う複数個の拡散層同士の距離が短くなるように構成されていることを特徴としている。

【0009】 このような構成とすれば、各拡散層の下部領域から伸びる空乏層によって各拡散層の間がピンチオフされることで、逆方向における電界緩和が成される。また、拡散層の上部領域の幅を狭くしてあるため、半導体層のうちショットキー電極との接触部位を広くとれ、半導体層とショットキー電極との接触抵抗を低減および電流経路の増大を図ることができ、低オン抵抗化を図ることができる。

【0010】 請求項3に記載の発明では、半導体層は、下部領域が形成された第1半導体層と上部領域が形成された第2半導体層とから構成され、第2半導体層が第1半導体層よりも高濃度で構成されていることを特徴とする。このように、第2半導体層を第1半導体層よりも高濃度とすれば、より低抵抗化を図ることができる。

【0011】 請求項6に記載の発明では、複数個の拡散層を形成する工程では、半導体基板から遠い側に相当す

る上部領域(3a)を形成する工程と、半導体基板から近い側に相当する下部領域(3b)を形成する工程とを行い、下部領域を形成する工程では、上部領域よりも下部領域の幅を広くすることで、下部領域において隣り合う複数の拡散層同士の距離が短くなるようにすることを特徴とする。このような製造方法により、請求項1に記載のショットキーダイオードを製造できる。

【0012】請求項8に記載の発明では、第1半導体層を形成する工程を行った後に、下部領域を形成する工程を行うことで第1半導体層に下部領域を形成し、その後、第2半導体層を形成する工程を行った後に、上部領域を形成する工程を行うことで第2半導体層に上部領域を形成することを特徴とする。このような製造方法により、拡散層の注入深さを得ることができ、逆方向リークを低減することができる。さらに、第2半導体層を第1半導体層よりも高濃度とすれば、請求項3に記載のショットキーダイオードとすることができる。

【0013】請求項10に記載の発明では、上部領域を形成する工程および下部領域を形成する工程では、上部領域を形成する際に用いるイオン注入用マスクと下部領域を形成する際に用いるイオン注入用マスクを同一マスクとすることを特徴としている。これにより、製造工程の簡略化を図ることができる。

【0014】請求項11に記載の発明では、第2導電型不純物としてA1を用いて上部領域を形成することを特徴とする。これにより、ショットキー電極と上部領域とがオーミック接触とすることができ、スイッチング時の局所的な電界集中による素子破壊を防止することができる。

【0015】具体的には、請求項12に示すように、上部領域を形成する工程では、第2導電型不純物としてA1をイオン注入し、下部領域を形成する工程では、第2導電型不純物としてBもしくはB及びCをイオン注入し、Bを熱拡散させることで、下部領域が上部領域よりも幅が広がるようにすることができる。

【0016】請求項13に記載の発明では、上部領域を形成する工程及び下部領域を形成する工程では、第2導電型不純物としてBもしくはB及びCをイオン注入し、さらに、上部領域を形成する工程では、第2導電型不純物としてA1もイオン注入することを特徴とする。このようにB等と共にA1を注入することで上部領域がアモルファス化され、この領域でのBの拡散が抑制され、請求項1に記載のショットキーダイオードを形成することができる。

【0017】請求項14に記載の発明では、ショットキー電極を形成する工程では、複数の拡散層の表面に電極材料を配置したのち、700℃以上の熱処理を施すことで、電極材料と複数の拡散層とをオーミック接触させたのち、該電極材料の上にショットキー電極を形成することを特徴とする。このようにしても、請求項11と

同様の効果を得ることができる。

【0018】請求項15に記載の発明では、ショットキー電極を形成する工程では、ショットキー電極を形成したのち熱処理を行うことを特徴とする。このようにすることで、ショットキー電極と複数の拡散層とをオーミック接触させることができ、コンタクト抵抗の低減を図ることができる。この場合、請求項16に示すように、熱処理温度を700℃以下とすることで、ショットキー特性の悪化を防止することが可能となる。

【0019】なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【0020】

【発明の実施の形態】(第1実施形態)図1に、本発明の一実施形態を適用したショットキーダイオードの断面構成を示す。以下、この図に基づいて本実施形態におけるショットキーダイオードの構成についての説明を行う。

【0021】図1に示すように、高濃度にn型不純物がドーピングされた炭化珪素からなるn⁺型基板1の上に、n⁺型基板1よりも低濃度にn型不純物がドーピングされたn⁺型エピ層2が形成され、このn⁺型エピ層2の表層部には複数のp型拡散層3が形成されている。複数のp型拡散層3は、n⁺型基板1から遠い側に相当する上部領域3aよりもn⁺型基板1に近い側に相当する下部領域3bの方が幅広で構成され、下部領域3bにおいて隣り合うp型拡散層3同士の距離が短くなるように構成されている。上部領域3aにはp型不純物としてA1が用いられており、下部領域3bにはp型不純物としてBが用いられている。そして、上部領域3aの方が下部領域3bよりも高濃度で構成されている。なお、図1においては表されないが、p型拡散層3の平面形状はストライプ形状、ドット形状、六角形状、同心円状のいずれであっても良い。

【0022】また、n⁺型エピ層2の表面には酸化膜4が備えられていると共に、この酸化膜4に形成されたコンタクトホールを介して各p型拡散層3及びn⁺型エピ層2と電気的に接続されたショットキー電極5が備えられている。そして、n⁺型基板1の裏面側に、n⁺型基板1とオーミック接触されたオーミック電極6が備えられ、図1に示すショットキーダイオードが構成されている。

【0023】このように構成されたショットキーダイオードにおいては、各p型拡散層3の下部領域3bから伸びる空乏層によって各p型拡散層3の間がピンチオフされることで、逆方向における電界緩和が成されるようになっている。また、p型拡散層3の上部領域3aの幅を狭くしてあるため、n⁺型エピ層2のうちショットキー電極5との接触部位を広くとれ、n⁺型エピ層2とショットキー電極5との接触抵抗を低減および電流経路の増

大を図ることができ、低オン抵抗化を図ることができる。

【0024】このように、本実施形態の構成とすることで、逆方向の電界緩和効果を低下させることなく、順方向電圧の増加を図り、低オン抵抗化を図ることで損失を低減することができる。

【0025】続いて、図2、図3に、上記構成のショットキーダイオードの製造工程を示し、これらの図に従って本実施形態におけるショットキーダイオードの製造方法を説明する。

【0026】〔図2(a)に示す工程〕まず、{0001} Si面を有するn⁺型基板1の表面に、n⁺型基板1と同様の結晶形のn⁺型エピ層2が形成されたものを用意する。そして、n⁺型エピ層2の表面にLTO膜10を配置したのち、フォトリソグラフィ及びRIE(リアクティブイオンエッチング)によってLTO膜10をパターニングし、開口部を形成する。このとき、開口部の形状と、上述したp型拡散層3のうちの上部領域3aとを一致させるようにする。

【0027】その後、LTO膜10をマスクとして、p型不純物であるB(ボロン)を高エネルギーでイオン注入することで、p型拡散層3のうちの下部領域3bを $1 \times 10^{19} \text{ cm}^{-3}$ の不純物濃度で形成する。例えば、Bの注入エネルギーを多段階に変えたボックスプロファイルとすることで、所望の位置に下部領域3bが形成される。

【0028】このとき、p型不純物としてBを用いることにより、後工程で行われる熱処理によって注入されたイオンが拡散されるようにできる。また、Bと共にC(炭素)をイオン注入するようにすれば、BとCとの注入割合に応じてBの拡散量を適宜調整することが可能である。例えば、Bの不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ となるようにし、Cの不純物濃度が $1 \times 10^{20} \text{ cm}^{-3}$ となるようにすれば、Bを単独で用いた場合よりもBの拡散量を抑制することができ、下部領域3bの間に位置するn⁺型エピ層2の幅が狭まり過ぎないようにできる。

【0029】〔図2(b)に示す工程〕再び、LTO膜10をマスクとしてp型不純物であるAl(アルミニウム)を低エネルギーかつ高ドーズ量でイオン注入することで、p型拡散層3のうちの上部領域3aを $1 \times 10^{20} \text{ cm}^{-3}$ の不純物濃度で形成する。例えば、Alの注入エネルギーを多段階に変えたボックスプロファイルとすることで、所望の位置に上部領域3aが形成される。このとき、p型不純物としてAlを用いることにより、後工程で熱処理が行われても注入されたイオンがほとんど拡散しないようにできる。また、このように上部領域3a、下部領域3bを形成するためのマスクをLTO膜10によって兼用しているため、製造工程の簡略化を図ることも可能である。

【0030】〔図2(c)に示す工程〕LTO膜10を

HFによって除去したのち、活性化熱処理を1600℃、30分行う。これにより、注入された不純物が活性化される。このとき、Bに関しては熱拡散され、p型拡散層3のうちの下部領域3bが上部領域3aよりも幅が広く構成される。

【0031】〔図3(a)に示す工程〕p型拡散層3の表面を含み、n⁺型エピ層2の表面に層間絶縁膜となる酸化膜4を成膜する。その後、n⁺型基板1の裏面にNi(ニッケル)を蒸着したのち、1000℃、10分のアニールを行うことで、オーミック電極6を形成する。

【0032】〔図3(b)、(c)に示す工程〕まず、図3(b)に示すように、フォトリソグラフィによって酸化膜4に対し、コンタクトホールを形成する。その後、n⁺型エピ層2及びp型拡散層3の表面にNiを成膜したのちNiをパターニングすることで、図3(c)に示すように、ショットキー電極5を形成する。このとき、p型拡散層3の上部領域3aをAlで構成しているため、ショットキー電極5とp型拡散層3とがオーミック接合となるようにできる。そして、Arガス中において450℃、10分、ショットキー電極5をシンター処理(熱処理)する。これにより、ショットキー電極5とp型拡散層3との間のオーミック特性が向上する。ただし、このときのシンター処理(熱処理)温度が700℃を超えるとショットキー電極5とn⁺型エピ層2との間のショットキー特性が悪化するため、700℃以下とするのが好ましい。このようにして、図1に示すショットキーダイオードが完成する。

【0033】このような製造方法によれば、Alを不純物として上部領域3aを形成しているおり、Alの固溶限が高くAlを高濃度に注入できるため、ショットキー電極5とp型拡散層3とがオーミック接合となるようにできる。このため、スイッチング時の局所的な電界集中が起こらないようにすることも可能である。参考として、図4に、B単独でp型拡散層3を形成した場合と表面側をAlとした場合それぞれにおけるTLMの電圧-電流特性を調べた結果を示す。この図に示されるように、表面側をAlとすることによりショットキー電極5とp型拡散層3とがオーミック接触となるようにできることが分かる。

【0034】また、Alを高ドーズ量で注入することで、Alが注入された領域がアモルファス化され、その領域においてBの拡散が抑制されるため、正確に図1に示す構成のショットキーダイオードを得ることができる。

【0035】また、p型拡散層3をAl単独で形成しようとすると、p型拡散層3の接合深さが得られないが、Alと共にBを用いることにより接合深さを得られるようにすることができる。また、Alは熱拡散し難いため、p型拡散層3のコーナー部での電界集中が発生し易くなり、耐圧低下が生じるが、この耐圧低下も防止する

10

20

30

40

50

ことができる。さらに、A1だとイオン注入時の欠陥による逆方向漏れ電流の増加が懸念されるが、Bによって下部領域3bを形成しているため、漏れ電流の増加を抑制することができる。

【0036】(第2実施形態)図5、図6に、本発明の第2実施形態を適用したショットキーダイオードの製造工程を示す。第1実施形態では1つのマスクによって上部領域3a、下部領域3bを形成しているが、本実施形態では2つのマスクを用いる場合について説明する。

【0037】まず、図5(a)に示す工程では、図2(a)と同様の工程を行い、下部領域3bを形成する。この後、図5(b)に示す工程において、下部領域3bの形成用マスクとして用いたLTO膜10を除去し、再びLTO膜11を成膜したのち、RIEによってLTO膜11をパターニングすることで、LTO膜11により上部領域3aを形成するためのマスクを構成する。そして、LTO膜11をマスクとして図2(b)と同様の工程を行い、上部領域3aを形成する。この後は、図5(c)、図6(a)～(c)に示す工程において、図2(c)、図3(a)～(c)と同様の工程を行うこと

で、ショットキーダイオードが完成する。

【0038】このように、上部領域3aと下部領域3bの形成用マスクを別々としても、第1実施形態に示したショットキーダイオードを形成することができ、第1実施形態と同様の効果を得ることができる。

【0039】また、本実施形態のように上部領域3aと下部領域3bの形成用マスクを別々とした場合、上部領域3aの形成用マスク(LTO膜11)の開口部のサイズを下部領域3bの幅と無関係に決定できるため、開口部のサイズを小さくすることで上部領域3aの幅を小さくすることができる。これにより、n⁺型エピ層2とショットキー電極5との接触抵抗を低減および電流経路の増大を図ることができ、より低オン抵抗化を図ることができる。

【0040】(第3実施形態)図7、図8に、本発明の第3実施形態を適用したショットキーダイオードの製造工程を示す。第1、第2実施形態では一層のn⁺型エピ層2に上部領域3aと下部領域3bを形成しているが、本実施形態では2層のn⁺型エピ層(第1半導体層)2、n型エピ層(第2半導体層)2aに上部領域3aと下部領域3bを形成する場合について説明する。

【0041】まず、図7(a)に示す工程では、図2(a)と同様の工程を行い、下部領域3bを形成する。このとき、下部領域3bを形成するためのイオン注入エネルギーを調整することで、n⁺型エピ層2の表面に下部領域3bが形成されるようにする。続いて、図7(b)に示すように、HFによってLTO膜10を除去したのち、1600℃、30分の熱処理により注入されたイオンを活性化させ、1080℃、300分の犠牲酸化処理を施したのち、下部領域3bの表面上を含むn⁺

型エピ層2の表面上にn型エピ層2aを成膜する。このとき、n型エピ層2aをn⁺型エピ層2よりも不純物濃度が高濃度となるようにする。そして、図7(c)に示すように、図5(b)と同様の工程によりn型エピ層2aにイオン注入を行うことで上部領域3aを形成する。

【0042】このように、n⁺型エピ層2とn型エピ層2aという2層のエピ層に上部領域3aと下部領域3bを形成するようにしてもよい。また、このように2層のエピ層とする場合、上部領域3aが形成されるn型エピ層2a側を高濃度とすることができるため、より低抵抗化を図ることが可能となる。

【0043】また、下部領域3bを形成するためのイオン注入を行うに際し、表面から深い位置までイオン注入が行えるため、下部領域3bを深い位置に形成することが可能となる。このため、逆方向リークの低減、ショットキー界面の電界強度の緩和を図ることができる。

【0044】(他の実施形態)上記各実施形態では、ショットキー電極5を1層のNiで構成するようにしているが、p型拡散層3に対してオーミック特性が得られる電極材料をp型拡散層3の上に配置したのち、700℃以下での熱処理によってオーミック電極を形成しておき、そのオーミック電極の上にショットキー電極5を形成するようにした2層電極構造としてもよい。また、上記実施形態において導電型を逆としたショットキーダイオードとしても良い。

【0045】なお、方位を示す場合、本来ならば所望の数字の上にバー(―)を付すべきであるが、表現の制約上、本明細書では所望の数字の後ろにバーを付して表すこととする。

【図面の簡単な説明】

【図1】本発明の第1実施形態におけるショットキーダイオードの断面構成を示す図である。

【図2】図1に示すショットキーダイオードの製造工程を示す図である。

【図3】図2に続くショットキーダイオードの製造工程を示す図である。

【図4】p型拡散層3をB単独で形成した場合と表面にA1を用いた場合とにおける電圧―電流特性を調べた結果を示す図である。

【図5】本発明の第2実施形態におけるショットキーダイオードの製造工程を示す図である。

【図6】図5に続くショットキーダイオードの製造工程を示す図である。

【図7】本発明の第3実施形態におけるショットキーダイオードの製造工程を示す図である。

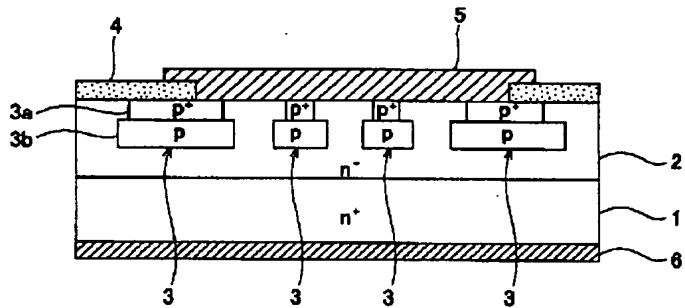
【図8】図7に続くショットキーダイオードの製造工程を示す図である。

【符号の説明】

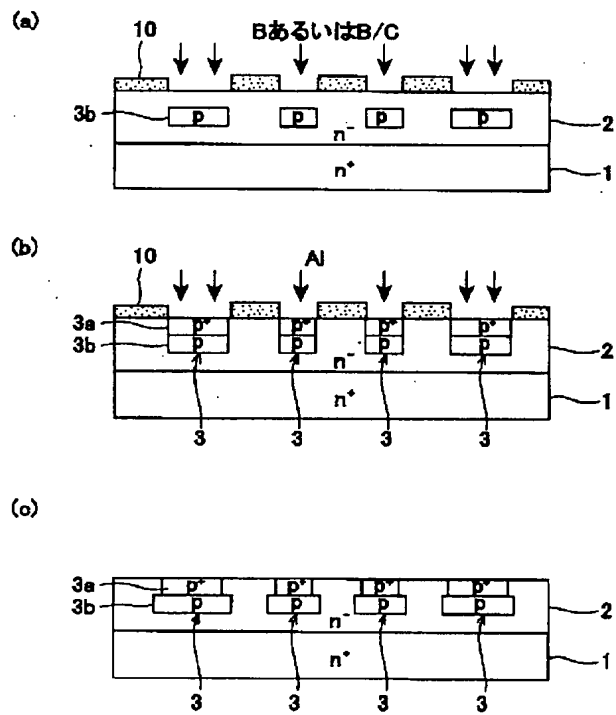
1…n⁺型基板、2…n⁺型エピ層、2a…n型エピ層、3…p型拡散層、3a…上部領域、3b…下部領域、4

…層間絶縁膜、5…ショットキー電極、6…オーミック* *電極、10、11…LTO膜。

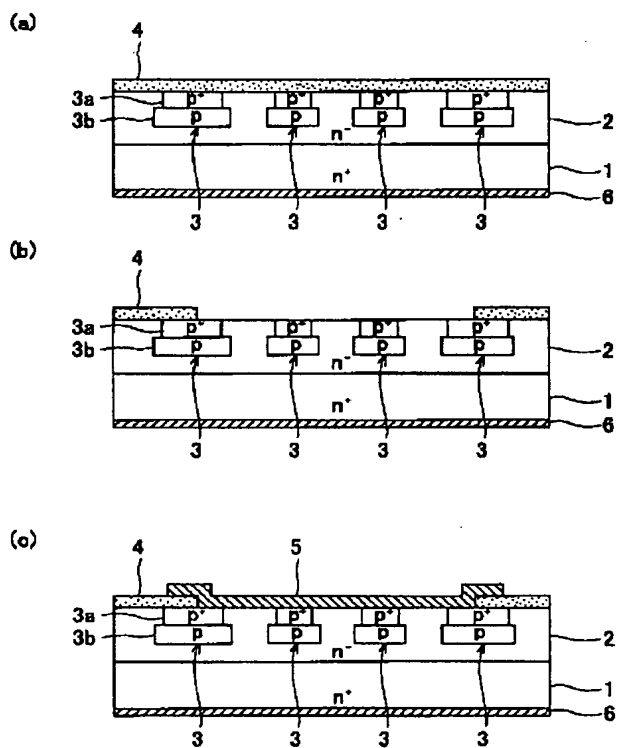
【図 1】



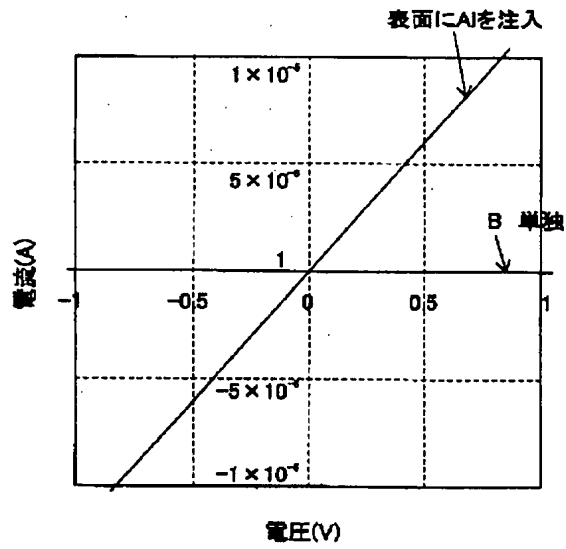
【図 2】



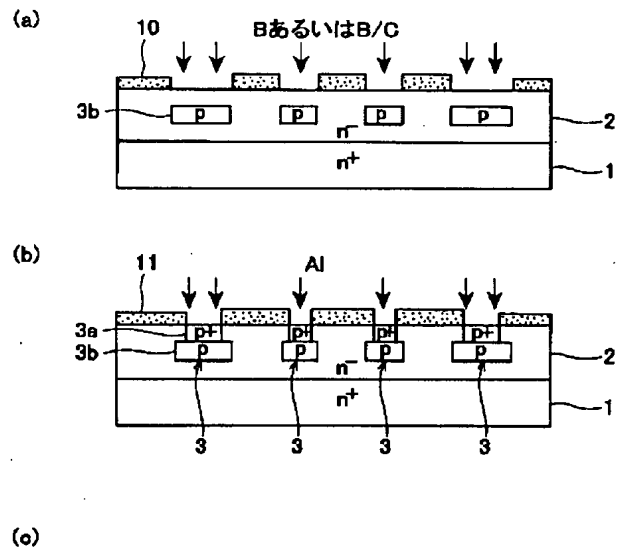
【図 3】



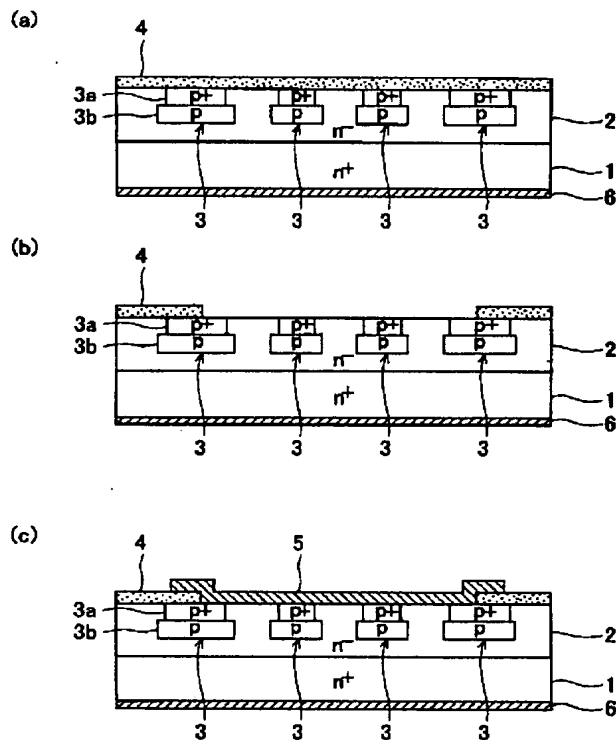
【図4】



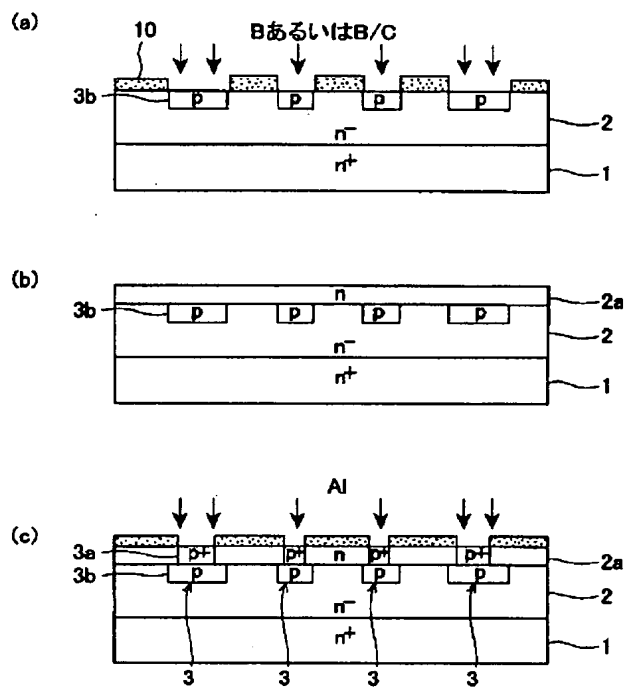
【図5】



【図6】



【図7】



(a)

(b)

(c)

Fターム(参考) 4M104 AA03 BB05 CC01 CC03 DD26
DD34 DD78 FF31 FF35 GG03
HH20